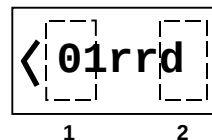
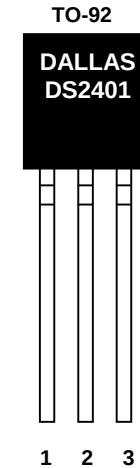


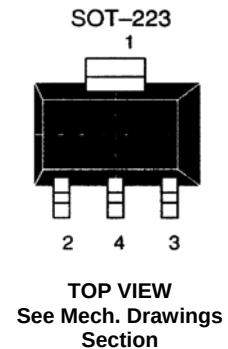
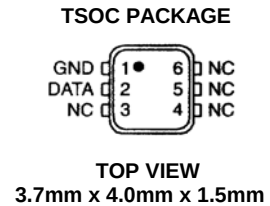
特性

- 与 DS2400 引脚兼容的升级产品
 - 外部供电电源范围: 2.8V 至 6.0V
 - 多个 DS2401 可以连接在一条公共的 1-Wire[®] 总线
- 工厂刻入、经过检测的 64 位注册码 (8 位家族码 + 48 位序列码 + 8 位 CRC 校验码); 保证没有任何两个器件的注册码是相同的
- 内部多点控制器确保与其他 1-Wire 网络产品兼容
- 8 位家族码表明 DS2401 通信需要读取装置
- 读取装置首次上电时将产生在线脉冲应答
- 低成本 TO-92、SOT-223 和 TSOC 表面贴封装
- 将控制、地址、数据和供电集于一个引脚
- 零待机电源
- 直接与微处理器的一个口线连接, 通信速率达 16.3kbps
- TO-92 卷带包装具有倾斜引脚, 间隔 100mil (默认) 或直引脚 (DS2401T-SL)
- 应用
 - PCB 识别
 - 网络节点 ID
 - 设备注册
- 工作在扩展工业级温度范围: -40°C 至 +85°C

引脚配置



See [56-G7009-001](#) for package outline.



Flip Chip, Top View
with Laser Mark,
Contacts Not Visible.
"rrd" = Revision/Date

引脚说明

	TO-92, SOT-223	TSOC	倒装芯片
引脚 1	地	地	数据(DQ)
引脚 2	数据 (DQ)	数据(DQ)	地
引脚 3	无连接	无连接	—
引脚 4	地	无连接	—
引脚 5-6	—	无连接	—

订购信息

型号	无铅封装	说明
DS2401	DS2401+	TO-92 封装
DS2401/T&R	DS2401+T&R	TO-92 封装, 卷带包装
DS2401/T&R/SL	DS2401-SL+T&R	TO-92 封装, 直引脚, 卷带包装
DS2401Z	DS2401Z+	SOT-223 表面贴封装
DS2401Z/T&R	DS2401Z+T&R	SOT-223 表面贴封装, 卷带包装
DS2401P	DS2401P+	TSOC 表面贴封装
DS2401P/T&R	DS2401P+T&R	TSOC 表面贴封装, 卷带包装
DS2401X1 _[JP1]	—	晶片级封装, 卷带包装

概述

DS2401 增强型硅序列号是一款低成本电子注册码, 以最少的电接口 (通常只需一个微处理器端口) 提供绝对、唯一的识别功能。内含一个工厂刻入的 64 位 ROM, 其中包括: 48 位唯一序列码、8 位 CRC 校验码和 8 位家族码 (01h)。数据采用 1-Wire 协议, 仅通过一个信号引线和一个地回路串行传输。用于读取和写入器件的电源可以由数据线本身产生, 无需外部供电。DS2401 是 DS2400 的升级版本。DS2401 完全兼容于 DS2400, 但具有附加的多点通信能力, 允许多个器件挂接在同一条数据总线上。通用的 TO-92、SOT-223 或 TSOC 封装提供了紧凑安装结构, 便于标准安装设备的处理。

操作方式

DS2401 内建 ROM 仅由单根数据线访问。依据 Dallas 的 1-Wire 协议, 可以从中提取 48 位序列码, 8 位家族码和 8 位 CRC 校验码。1-Wire 通信协议规定总线的收发按照特殊时序下的总线状态进行、由主机发出的同步脉冲下降沿初始化。所有数据读写都按照低位在前的原则。

1-Wire 总线系统

1-Wire 是在一条总线上连接一个主控器和多个从机设备的系统。任何情况下, DS2401 都是从机设备, 而总线控制器常由微控制器充任。有关总线系统的讨论我们分为三个主题: 硬件结构、处理流程和 1-Wire 的信令 (信号类型和时钟)。

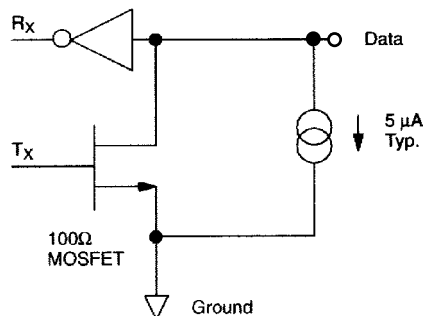
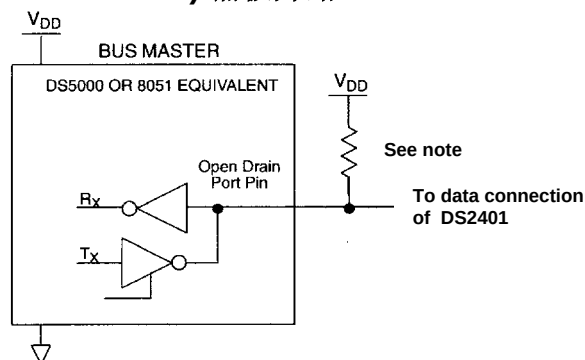
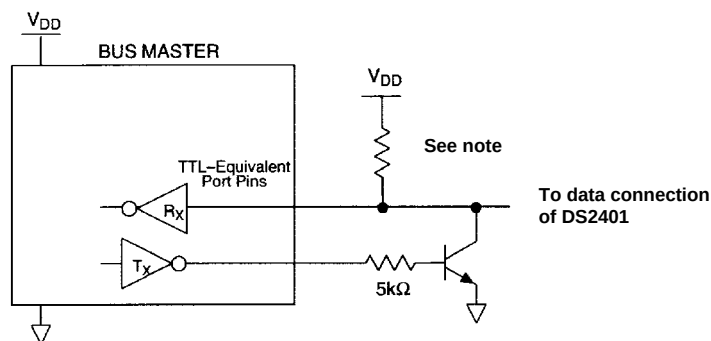
硬件配置

1-Wire 总线仅定义了一根信号线, 所以让总线上每个设备都在适当的时刻运行是非常重要的。为便于达到这一目的, 每一个接入 1-Wire 总线的设备都采用开漏连接或三态输出。DS2401 为漏极开路输出, 内部等效电路 (如图 2 所示)。总线主控器可以采用与其一致的等效电路。如果没有可利用的双向引脚, 可将独立的输入、输出管脚连接起来用。在主控制器端需加一个上拉电阻, 总线控制器的等效电路请参见图 3。在短距离传输情况下约需一个 5k Ω 上拉电阻。一个多点系统由一个 1-Wire 总线和连接在上面的多个从机设备组成。1-Wire 总线的最高数据传输率为 16.3kbps。

要注意的是 1-Wire 单总线的闲置状态为高电平。不管是何种原因, 当传输操作过程需要暂停下来, 且要求传送过程还能继续, 则总线必须处于闲置状态; 如果情况不是这样或者总线保持低电平超过 120 μ s, 那总线上的所有器件将要复位。

DS2401 存储器图 图 1

8-Bit CRC Code		48-Bit Serial Number		8-Bit Family Code (01h)	
MSB	LSB	MSB	LSB	MSB	LSB

DS2401 等效电路 图 2**总线主控制器电路 图 3****A) 漏极开路****B) 标准 TTL**

注:

取决于 1-Wire通信速度和总线负载特性, 最佳上拉电阻 (R_{PU})取值范围在 1.5kΩ 至 5kΩ范围。

处理流程

DS2401 在 1-Wire 总线上的数据访问命令流程如下所示：

- 初始化
- ROM 功能命令
- 读取数据

初始化

1-Wire 总线上所有的传输操作均由初始化序列开始。初始化序列由主机发出的复位脉冲（reset pulse）和从机发出的在线应答脉冲（presence pulse）组成。

在线应答脉冲使主机检测到 DS2401 在总线上，并且已经准备就绪。详细内容请参阅 *1-Wire 信号* 一节。

ROM 功能命令

一旦主机检测到应答脉冲，就可以发出 ROM 功能命令。所有 ROM 操作命令的长度为 8 位。以下列出了这些命令的简要介绍（流程图参见图 4）：

Read ROM [33h] 或 [0Fh]

此命令允许总线主控器读取 DS2401 的 8 位家族码、唯一的 48 位序列码和 8 位 CRC 校验码。此命令仅当总线上只有一个 DS2401 设备时可以使用。若总线上的从机设备超过一个，当各设备同时发送时将会引发数据冲突（开漏时产生线与结果）。为了确保与 DS2400 的兼容性，DS2401 的 Read ROM 功能可以由 33h 或 0Fh 命令实现，但针对 64 位 ROM 数据的命令，DS2400 只响应 0Fh 命令。

Match ROM [55h] / Skip ROM [CCh]

依据完整的 1-Wire 协议，Dallas Semiconductor 的所有 iButton 都可执行 Match ROM 和 Skip ROM 命令。DS2401 仅有一个 64 位的 ROM 而无其他附加的存储空间，所以 Match ROM 和 Skip ROM 命令都不可使用，若要在 1-Wire 总线中执行这一命令将无任何动作发生。DS2401 将不会干扰任何在 1-Wire 多路总线中可以响应 Match ROM 和 Skip ROM 命令的设备（例如 DS2401 和 DS1994 同时接入总线时）。

Search ROM [F0h]

当系统启动初始化时，总线主控器可能并不知道有什么器件挂接在 1-Wire 总线上或不知道它们的 64 位 ROM 码。Search ROM 命令允许总线主控器采用排除法确认总线上所有器件的 64 位 ROM 码。具体的 ROM 搜索方法是反复执行一个简单的三步程序：读一位，读该位的补码，然后写入其期望值。总线控制器将对 ROM 中的所有位执行这三步程序。在此操作全部审查通过之后，主机就能读出每台从机设备 ROM 中的内容了。从机设备中余下的数码和它们的 ROM 代码可由另外的操作检测出来。有关 ROM 搜索的进一步讨论请参考 *应用笔记 187：1-Wire 搜索算法*，那里介绍了一个实例。

1-Wire 信令

DS2401 需要严格的通信协议来确保数据的完整性，此协议载单线上定义了四种类型的信号：包括复位脉冲和在线应答脉冲的复位过程、写 0 (write 0)、写 1 (write 1) 和读数据 (read data)。除了在线脉冲以外，其它类型的信号都由主机启动。

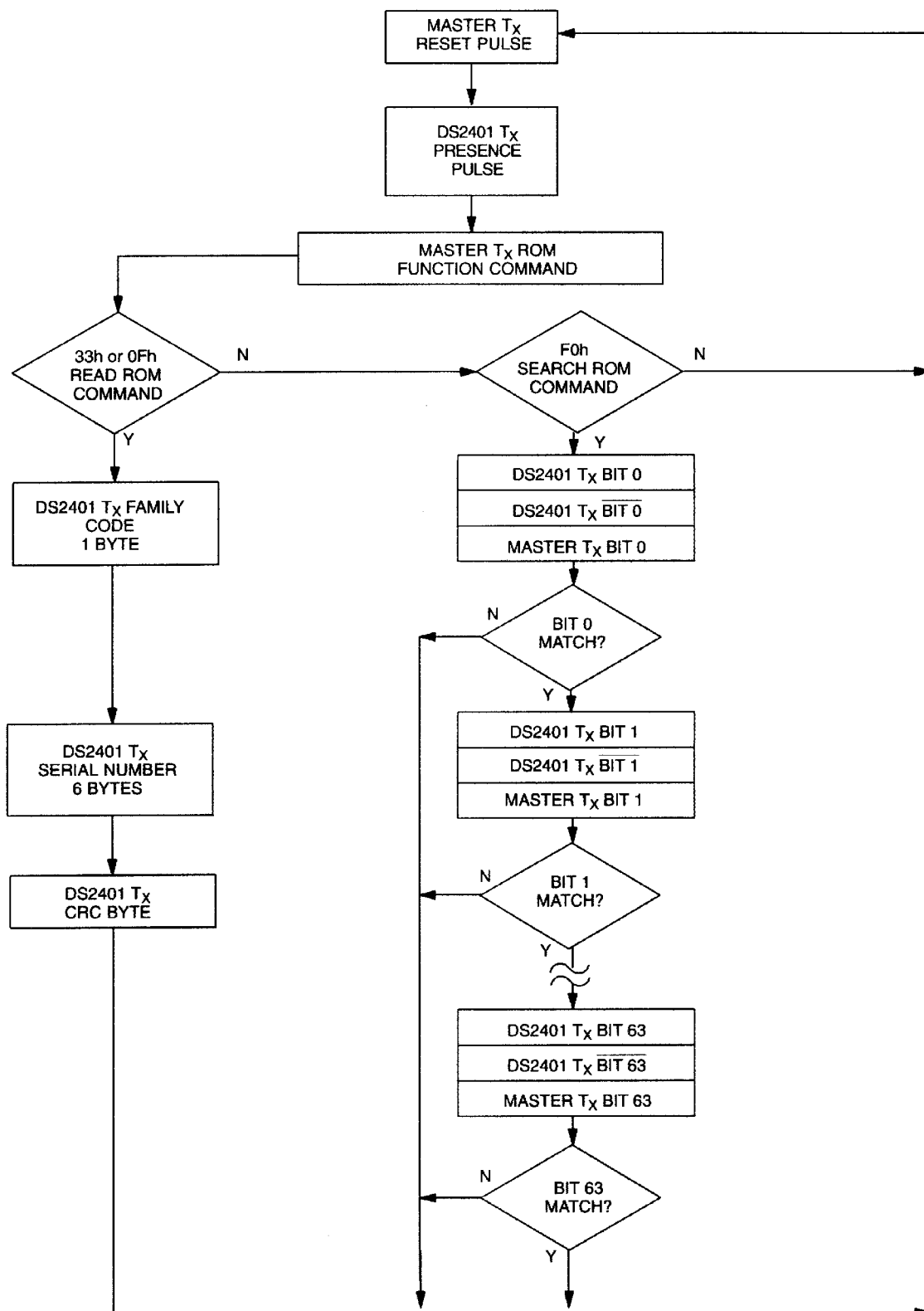
DS2401 进行任何通信都要进行初始化处理（如图 5 所示）。一个复位脉冲紧跟一个在线应答脉冲表明 DS2401 就绪，可执行恰当的 ROM 命令进行数据收发。

总线主控器发送 (T_X) 一个复位脉冲 (一个至少 $480\mu s$ 的低电平)，然后总线主控器释放信号线进入接收模式 (R_X)。1-Wire 总线此时被 $5k\Omega$ 上拉电阻拉至高电平，检测到数据线上信号的上升沿后，DS2401 等待 (t_{PDH} , $15-60\mu s$) 然后发送在线应答脉冲 (t_{PDL} , $60-240\mu s$)。1-Wire 总线需要一个 $1.5k\Omega$ 至 $5k\Omega$ 的上拉电阻，具体取决于负载特性。

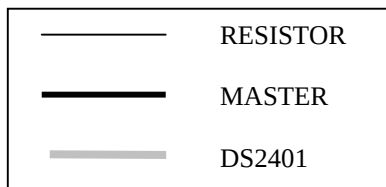
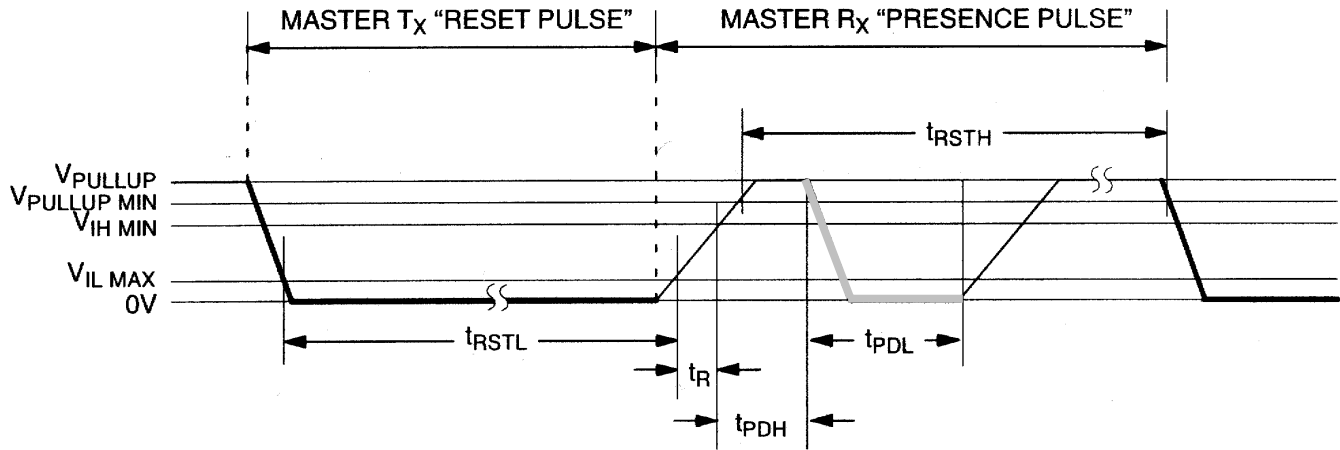
读/写时隙

读/写时隙的定义如图 6 所示，主机将数据线置低初始化所有时隙。在数据线的下降沿通过触发 DS2401 中的延时电路使得 DS2401 与主机同步；在写时隙期间，延时电路决定何时 DS2401 对数据线进行采样。至于读数据的时隙，如果传输的是“0”，延时电路将决定 DS2401 要高于主机写 1 即拉低数据线多长时间；如果数据位是“1”，则 DS2401 保持读数据的时隙不变。

ROM 功能流程图 图 4



初始化过程“复位和在线应答脉冲” 图 5



$$480\mu s \leq t_{RSTL} < \infty *$$

$$480\mu s \leq t_{RSTH} < \infty \text{ (includes recovery time)}$$

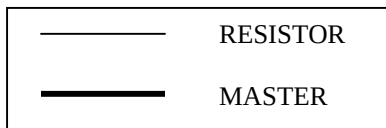
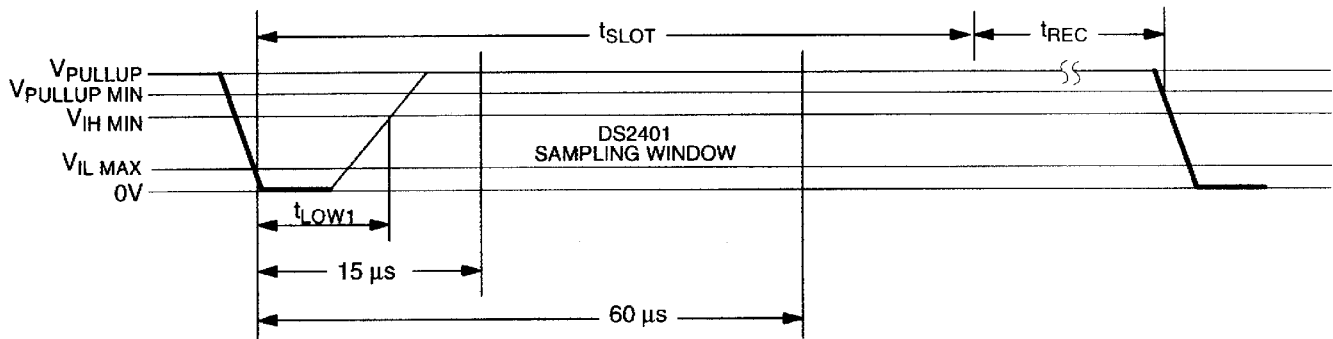
$$15\mu s \leq t_{PDH} < 60\mu s$$

$$60\mu s \leq t_{PDL} < 240\mu s$$

* 为了保证 1-Wire总线上其它从机设备的中断信号不被屏蔽掉，必须使 $t_{RSTL} + t_R$ 始终小于 $960\mu s$ 。

读/写时序图 图 6

写 1 (Write 1) 时隙



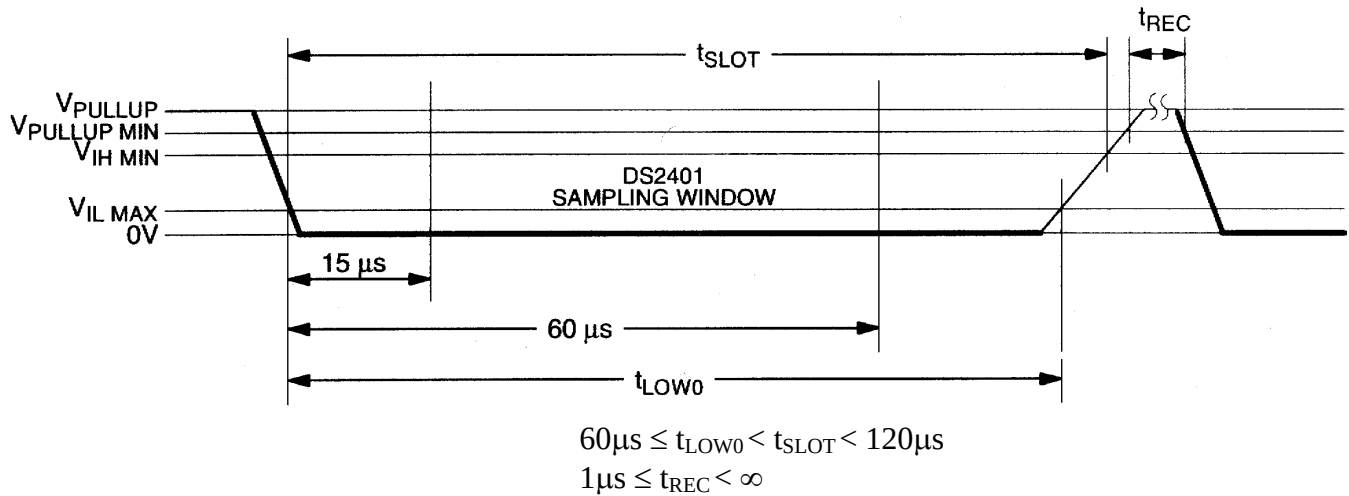
$$60\mu s \leq t_{SLOT} < 120\mu s$$

$$1\mu s \leq t_{LOW1} < 15\mu s$$

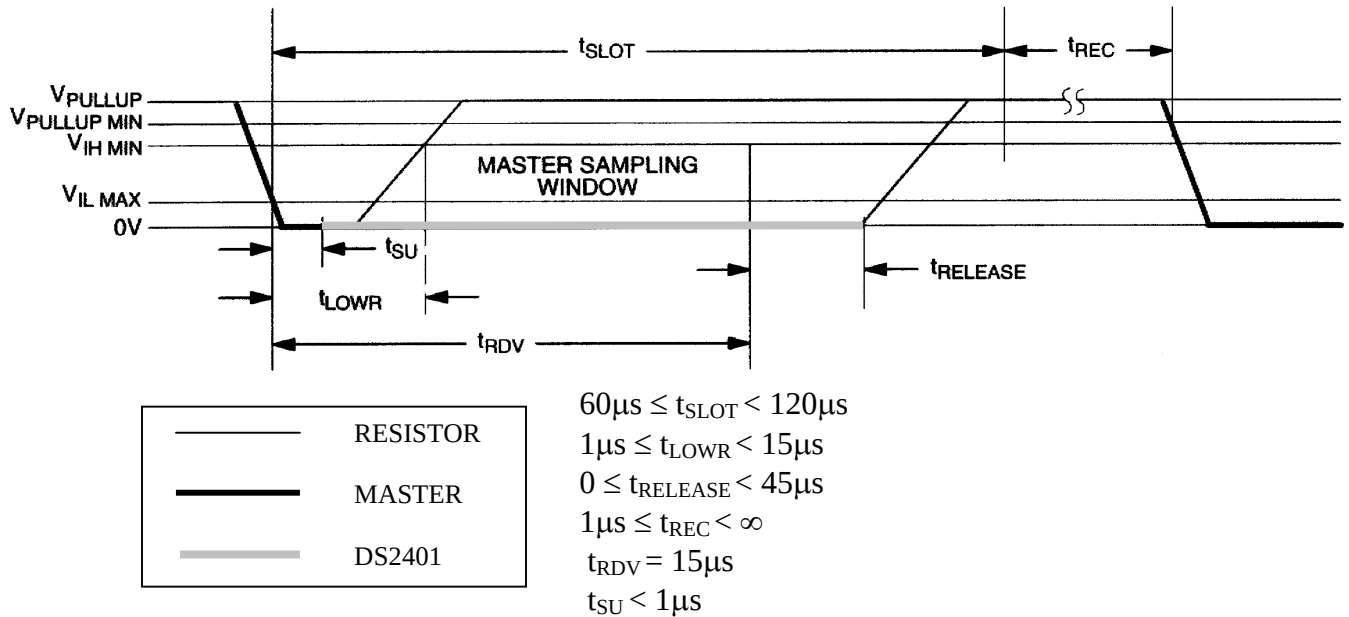
$$1\mu s \leq t_{REC} < \infty$$

读/写时序图 (续) 图 6

写 0 (Write 0) 时隙



读数据 (Read-data) 时隙



CRC 校验

为验证从 DS2401 发送过来的数据的有效性，总线主控器将根据收到的数据产生一个 CRC 值。产生的校验码将与储存在 DS2401 的最后 8 位数据进行比较。如果两个 CRC 值一致，则这次发送确认成功。

CRC 校验的等效多项式是： $CRC = X^8 + X^5 + X^4 + 1$ 。有关 Dallas 1-Wire CRC 校验其它信息，请参考应用笔记 27。

定制 DS2401

48 位序列号的一部分可以由用户定制，Dallas Semiconductor 将在 48 位区域的高 12 位注册并指定一个特殊的用户 ID，接下来的高有效位由用户选择一个起始值，低有效位是非选择位，并自动递增，步进值为 1。定制器件要求一定的定购量和条件，详细情况请与 Dallas Semiconductor 销售部联系。

ABSOLUTE MAXIMUM RATINGS*

Voltage on any Pin Relative to Ground	-0.5V to +7.0V
Operating Temperature Range	-40°C to +85°C
Storage Temperature Range	-55°C to +125°C
Soldering Temperature	See J-STD-020A Specification

* This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operation sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods of time may affect reliability.

DC ELECTRICAL CHARACTERISTICS (-40°C to +85°C; $V_{PUP} = 2.8V$ to 6.0V)

PARAMETER	SYMBOL	MIN	TYP	MAX	UNITS	NOTES
Logic 1	V_{IH}	2.2		$V_{CC} + 0.3$	V	1,6
Logic 0	V_{IL}	-0.3		+0.8	V	1, 11
Output Logic Low @ 4mA	V_{OL}			0.4	V	1
Output Logic High	V_{OH}		V_{PUP}	6.0	V	1,2
Input Load Current	I_L		5		μA	3
Operating Charge	Q_{OP}			30	nC	7,8

CAPACITANCE ($t_A = +25^\circ C$)

PARAMETER	SYMBOL	MIN	TYP	MAX	UNITS	NOTES
I/O (1-Wire)	$C_{IN/OUT}$			800	pF	9

AC ELECTRICAL CHARACTERISTICS (-40°C to +85°C; $V_{PUP} = 2.8V$ to 6.0V)

PARAMETER	SYMBOL	MIN	TYP	MAX	UNITS	NOTES
Time Slot	t_{SLOT}	60		120	μs	
Write 1 Low Time	t_{LOW1}	1		15	μs	13
Write 0 Low Time	t_{LOW0}	60		120	μs	
Read Data Valid	t_{RDV}		15		μs	12
Release Time	$t_{RELEASE}$	0	15	45	μs	
Read Data Setup	t_{SU}			1	μs	5
Recovery Time	t_{REC}	1			μs	
Reset Time High	t_{RSTH}	480			μs	4
Reset Time Low	t_{RSTL}	480		960	μs	10
Presence Detect High	t_{PDH}	15		60	μs	
Presence Detect Low	t_{PDL}	60		240	μs	

NOTES:

- 1) All voltages are referenced to ground.
- 2) V_{PUP} = external pullup voltage.
- 3) Input load is to ground.
- 4) An additional reset or communication sequence cannot begin until the reset high time has expired.
- 5) Read data setup time refers to the time the host must pull the 1-Wire bus low to read a bit. Data is guaranteed to be valid within $1\mu s$ of this falling edge and will remain valid for $14\mu s$ minimum ($15\mu s$ total from falling edge on 1-Wire bus).
- 6) V_{IH} is a function of the external pullup resistor and the V_{CC} supply.
- 7) 30 nanocoulombs per 72 time slots @ 5.0V.
- 8) At $V_{CC} = 5.0V$ with a $5k\Omega$ pullup to V_{CC} and a maximum time slot of $120\mu s$.
- 9) Capacitance on the I/O pin could be $800pF$ when power is first applied. If a $5k\Omega$ resistor is used to pullup the I/O line to V_{CC} , $5\mu s$ after power has been applied the parasite capacitance will not affect normal communications.
- 10) The reset low time (t_{RSTL}) should be restricted to a maximum of $960\mu s$, to allow interrupt signaling, otherwise it could mask or conceal interrupt pulses if this device is used in parallel with a DS2404 or DS1994.
- 11) The optimal sampling point for the master is as close as possible to the end time of the t_{RDV} period without exceeding t_{RDV} . For the case of a Read-One Time slot, this maximizes the amount of time for the pullup resistor to recover to a high level. For a Read-Zero Time slot, it ensures that a read will occur before the fastest 1-Wire device(s) releases the line.
- 12) The duration of the low pulse sent by the master should be a minimum of $1\mu s$ with a maximum value as short as possible to allow time for the pullup resistor to recover the line to a high level before the 1-Wire device samples in the case of a Write-One Time or before the master samples in the case of a Read-One Time.